

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0073050
Application Number

출원년월일 : 2002년 11월 22일
Date of Application NOV 22, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 07 일

특 허 청

COMMISSIONER





1020020073050

출력 일자: 2003/4/8

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2002.11.22
【국제특허분류】	H03C
【발명의 명칭】	프랙셔널 -N 주파수 합성기 및 이를 구성하는 시그마-델타 변조기
【발명의 영문명칭】	Fractional-N frequency synthesizer and sigma-delta modulator composing it
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이근석
【성명의 영문표기】	LEE, Kun Seok
【주민등록번호】	720426-1820911
【우편번호】	422-090
【주소】	경기도 부천시 소사구 괴안동 175-5 청송연립 206호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)



1020020073050

출력 일자: 2003/4/8

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 7 면 7,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 13 항 525,000 원

【합계】 561,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 프랙셔널-N 주파수 합성기 및 이를 구성하는 시그마-델타 변조기에 관한 것으로, 프랙셔널-N 주파수 합성기는 기준신호와 피드백되는 신호의 위상 차를 감지하는 위상 감지기; 위상 감지기에서 감지된 위상 차 신호를 입력으로하여 원하는 주파수의 신호를 발진하는 전압 제어 발진기; 셋 이상의 정수값중 하나를 소정 선택신호에 따라 선택하고, 선택된 정수값을 이용하여 전압 제어 발진기에서 출력되는 신호의 주파수를 분주하여 상기 위상 감지기에 상기 피드백 신호로 출력하는 디바이더; 및 소정 입력값을 내부에서 피드백되는 값과 더하고, 더해진 값을 누적하는 과정을 연쇄적으로 수행하며, 최종 누적된 값을 셋 이상의 복수 레벨로 양자화하여 선택신호로 변환하는 시그마-델타 변조기를 포함한다.

【대표도】

도 7

【명세서】**【발명의 명칭】**

프랙셔널-N 주파수 합성기 및 이를 구성하는 시그마-델타 변조기 {Fractional-N frequency synthesizer and sigma-delta modulator composing it}

【도면의 간단한 설명】

도 1은 일반적인 MASH 타입의 시그마-델타 변조기의 구조를 도시한 것이다.

도 2는 일반적인 인터플레이티브 타입의 시그마-델타 변조기의 구조를 도시한 것이다.

도 3은 1비트 인터플레이티브 타입 변조기의 입력범위와 출력값의 매핑범위를 도시한 것이다.

도 4는 양자화 잡음 전달곡선의 코너 주파수와 통과대역 이득 레벨과의 관계를 도시한 것이다.

도 5a는 도 3에 도시된 변조기의 양자화 잡음 전달곡선을 도시한 것이다.

도 5b는 도 3에 도시된 변조기의 PLL 출력을 도시한 것이다.

도 6은 도 3에 도시된 변조기의 출력 2000개에 대한 자기상관 결과이다.

도 7은 본 발명에 따른 fractional-N 주파수 합성기의 구조를 도시한 것이다.

도 8a는 본 발명에 따른 4차 3비트 시그마-델타 변조기의 구성도이다.

도 8b는 도 8a의 제어신호 생성기에 대한 상세 블록도이다.

도 9는 도 8에 도시된 변조기의 입력범위와 출력값의 매핑결과를 도시한 것이다.

도 10a는 본 발명의 4차-3비트 변조기의 양자화 잡음 전달곡선을 나타낸 것이다.

도 10b는 본 발명의 4차-3비트 변조기에서 PLL의 출력 위상 잡음을 도시한 것이다.

도 11은 4차-3비트 변조기의 자기상관 특성을 도시한 것이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 프랙셔널-N 주파수 합성기 및 이를 구성하는 시그마-델타(Σ - Δ) 변조기에 관한 것으로, 위상 동기 루프(Phase Locked Loop, PLL)를 이용하는 프랙셔널-N 주파수 합성기 및 이를 구성하는 인터폴레이티브 타입의 복수의 차수를 갖는 멀티비트의 시그마-델타(Σ - Δ) 변조기에 관한 것이다.

<16> PLL을 이용하는 주파수 합성기는 기준신호를 이용하여 원하는 신호를 합성하는데, 제어장치를 이용하여 합성된 신호와 기준신호와의 비를 제어한다.

<17> PLL을 사용한 주파수 합성기에는 integer-N 방식과 fractional-N 방식이 있다. integer-N 방식은 출력 주파수를 분주하는 N값을 고정하여 사용하는 것이고, fractional-N 방식은 N을 둘 이상의 정수값중에서 선택함으로써, 여러 번의 분주를 통해 선택된 값들을 보간하는 결과를 얻음으로써 분주되는 값이 소수가 되는 방식이다. 통상적으로, integer-N 방식은 루프 대역폭(loop bandwidth)과 채널 간격(channel spacing)과의 교환(trade-off)때문에 다양한 규격을 만족하기가 어려운 반면, fractional-N 방식은 대역폭이 넓고, 채널 간격은 좁게 구현가능하므로 PLL 설계의 제한점들을 완화시킨다고 알려져있다.

- <18> 시그마-델타 변조기는 fractional-N 방식에서 N값을 선택하기 위한 제어신호를 제공한다.
- <19> 시그마-델타 변조기는 크게 두가지 구조로 나뉜다. 하나는 메쉬(MASH) 타입이고, 다른 하나는 인터폴레이티브(interpolative) 타입이다. MASH 타입은 도 1과 같이 고차 변조기를 구현하는 경우, 차수가 높아지더라도 1차 시그마-델타 변조기가 각각 독립적인 루프를 구성하며 캐스캐이드(cascade)로 연결된 형태이기 때문에 항상 안정하고 (unconditionally stable) 입력범위(input range) 대부분을 사용할 수 있다. 그러나 전체적인 구조가 복잡하고 1차 변조기를 독립적으로 연결한 것이기 때문에 아이들-톤(idle-tone) 특성이 나쁘다. 따라서, idle-tone 특성을 향상시키기 위해서 각 단은 다른 단에 영향을 주지않는 독립적인 디더(dither)를 사용하여 출력신호의 규칙성을 없애주어야 한다. 또한 MASH 타입은 멀티비트로 사용할 경우 변조기의 통과대역 이득 레벨(pass-band gain level)이 높기때문에 출력값의 변화폭이 크다. 따라서 이러한 메쉬 타입의 시그마-델타 변조기를 사용하는 fractional-N 주파수 합성기의 경우, 출력값의 변화 폭이 커질 수록 위상/주파수 감지기에서의 비선형성 에러가 증가하기때문에 성능에 큰 제약을 받게된다.
- <20> 인터폴레이티브 타입의 시그마-델타 변조기는 도 2에 도시된 바와 같은 구조를 갖는다. 이는 MASH 타입에 비해 매우 간단한 구조를 갖고 멀티비트로 사용할 경우에도 변조기의 통과대역 이득레벨이 MASH 타입에 비해 낮기때문에 출력값의 변화폭이 적다.
- <21> 이러한 특성을 고려하여 S.LEE 등은 4차 1비트 시그마-델타 변조기를 사용한 fractional-N 주파수 합성기를 발표하였다(S.Lee, M.Yoh, J.Lee and I.Ryu, "A 17mW, 2.5GHz Fractional-N Frequency synthesizer for CDMA-2000", IEEE. ESSCIRC, pp.40-43,

Sep. 2001). 상기 4차 1비트 시그마-델타 변조기는 비교적 뛰어난 성능을 보이고 있지만, 몇가지 문제점이 있다. 첫째, MASH 타입처럼 항상 안정하지는 않기때문에 안정성을 보장하기위해서 제한된 입력범위만을 사용할 수 밖에 없다. 즉, 전체 입력범위중 사용할 수 없는 구간(dead band)가 발생한다. 이러한 문제를 해결하기위해 상기 4차 1비트 시그마-델타 변조기에서는 도 3에 도시된 바와 같이 전체 입력범위중 50%만 사용하고 출력값은 $N-1$, $N+1$ 로 매핑하는 방식이 사용되었으나, 결국 1비트를 손해보는 결과가 되었고, 양자화 잡음(quantization noise)이 6dB 증가하는 현상이 나타났다.

<22> 둘째, 상기 변조기의 양자화 잡음 전달곡선(noise transfer function)은 고역통과 필터의 특성을 나타내는데, 인터폴레이티브 타입의 변조기인 경우 안정성을 유지하기 위해서는 통과대역 이득 레벨(pass band gain level)이 한계값 이하로 제한되어야 한다. 일반적으로 버터워즈(Butterworth) 필터계수를 사용해서 통과대역 이득레벨을 조정하는데 전체 양자화 잡음의 총량은 일정하게 유지되기 때문에 통과대역 이득레벨의 한계값과 코너 주파수는 도 4와 같이 trade-off 성향을 보인다. 즉, 코너 주파수가 높으면 이득레벨이 높아지고 이득 레벨을 낮추면 코너 주파수도 낮아지게 된다.

<23> f_s 를 동작 주파수라고 할 경우, 안정성이 보장되는 1비트 변조기의 최대 코너 주파수는 $0.06 \cdot f_s$ 가 된다. 도 5a 및 5b는 각각 주파수에 대한 상기 4차 1비트 변조기의 양자화 잡음 전달 곡선과 위상 동기 루프의 출력을 도시한 것이다. 도 5b의 사선 부분(60)은 PLL의 전압제어발진기(Voltage Controlled Oscillator, VCO)의 대역 밖 위상 잡음(out-of-band phase noise)을 나타낸다. 도시된 바에 따르면, 변조기의 코너 주파수 부근에서 PLL의 위상 잡음이 크게 악화되는 것을 확인할 수 있다.

<24> 셋째, 디더링의 사용없이 4차 1비트 변조기로는 idle-tone문제가 상존한다. 도 6은 상기 변조기의 출력 2000개에 대한 자기상관(autocorrelation) 결과이다. 도시된 바에 따르면, 자기상관 결과가 매우 넓은 폭을 갖는다는 것을 알 수 있다.

<25> 따라서, 상기한 바와 같은 문제점들을 해결할 수 있는 시그마-델타 변조기와 이를 이용하여 보다 안정한 프랙셔널-N 주파수 합성기가 필요하다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명이 이루고자하는 기술적 과제는 메탈 연결을 통해 하드웨어를 최소화함으로써 싱글 비트에 비해 하드웨어 증가에 대한 부담이 없게하는 인터폴레이티브 타입의 복수의 차수를 갖고 멀티비트로 이루어진 시그마-델타 변조기와 이를 이용한 fractional-N 주파수 합성기를 제공하는데 있다.

【발명의 구성 및 작용】

<27> 상기 기술적 과제를 이루기위한, 본 발명에 따른 프랙셔널-N 주파수 합성기는 기준 신호와 피드백되는 신호의 위상 차를 감지하는 위상 감지기; 상기 위상 감지기에서 감지된 위상 차 신호를 입력으로하여 원하는 주파수의 신호를 발진하는 전압 제어 발진기; 셋 이상의 정수값중 하나를 소정 선택신호에 따라 선택하고, 선택된 정수값을 이용하여 상기 전압 제어 발진기에서 출력되는 신호의 주파수를 분주하여 상기 위상 감지기에 상기 피드백 신호로 출력하는 디바이더; 및 소정 입력값을 내부에서 피드백되는 값과 더하고, 더해진 값을 누적하는 과정을 연쇄적으로 수행하며, 최종 누적된 값을 셋 이상의 복수 레벨로 양자화하여 상기 선택신호로 변환하는 시그마-델타 변조기를 포함한다.

- <28> 상기 기술적 과제를 이루기위한, 시그마-델타 변조기는 입력값을 내부에서 피드백 되는 값과 더하고, 더해진 값을 누적하는 과정을 4차까지 연쇄적으로 수행하는 복수의 연산수단; 상기 연산수단의 최종 단에서 출력된 값을 멀티비트로 양자화하는 양자화기; 및 상기 양자화기에서 양자화된 복수의 레벨에 대응하여 결정된 각 피드백 계수를 상기 피드백 값으로 상기 각 연산수단에 출력하는 복수의 곱셈기를 포함한다.
- <29> 이하에서 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다 .
- <30> 도 7은 본 발명에 따른 fractional-N 주파수 합성기의 구조를 도시한 것이다. 도시된 fractional-N 주파수 합성기는 피드백 루프를 갖는데, 이 피드백 루프는 주파수 합성기의 출력 신호 f_{out} 을 분주하여 위상 제어 신호 f_d 를 출력한다. 출력신호의 분주는 디바이더(divider, 13)와 상기 디바이더(13)의 분주율을 제어하는 시그마-델타 변조기(14)에 의해 이루어진다. 디바이더(13)는 둘 이상의 정수값중에서 상기 시그마-델타 변조기(14)에서 출력되는 선택신호에 따라 선택되는 값을 이용하여 f_{out} 을 분주한다. 상기 시그마-델타 변조기(14)로는 후술될 본 발명에 의한 복수의 차수를 갖는 멀티비트의 시그마-델타 변조기가 적절하고, 본 실시예에서는 4차 3비트의 변조기를 설명하기로 한다. 상기 위상 제어 신호 f_d 는 위상 감지기(10)로 입력되어 기준 신호 f_{ref} 와 비교된다. 위상 감지기(10)에서는 상기 두 신호 f_d 와 f_{ref} 의 위상차에 비례하는 직류전압의 제어신호가 출력되고, 이 제어신호는 저역통과필터(LPF, 11)를 통과한 후, VCO(12)에 제어신호로 입력되고, VCO(12)는 입력된 신호에 따라 출력 주파수 f_{out} 을 출력한다.

<31> 도 8a는 상기 4차 3비트 변조기의 구성도이다. 도시된 바에 따른 4차 3비트 변조기는 제1차 연산수단(80), 제2차 연산수단(81), 제3차 연산수단(82), 제4차 연산수단(83), 3비트 양자화기(84) 및 제어신호 생성기(85)를 구비하고, 각 연산수단은 피드백 계수 곱셈기(801), 가산기(802), 누적기(803) 그리고 동적 스케일링 계수(dynamic scaling coefficient) 곱셈기(804)를 구비한다. 상기 누적기(803)는 가산 수단(미도시)과 지연기(미도시)를 연결하여 구성될 수 있다.

<32> 상기 구성에 따른 동작은 다음과 같다. 각 연산수단에 대한 설명은 그 동작 방식이 모두 동일하므로, 제1차 연산수단(80)에 대해서만 설명하기로 한다. 피드백 계수 곱셈기(801)는 전체 변조기의 출력으로부터 생성되는 제어신호를 조합해서 8개의 피드백 계수 값중 하나를 결정하고, 그 계수값을 가산기(802)로 보낸다. 가산기(802)는 결정된 피드백 계수값과 입력범위 내에서 입력되는 주파수 제어값을 가산한다. 누적기(803)는 가산기(802)에서 출력되는 값을 누적하고, 동적 스케일링 계수 곱셈기(804)는 누적된 값에 동적 스케일링 계수를 곱한다. 이러한 방식으로 제4차 연산수단(83)까지 가산과 누적이 이루어진 다음, 3비트 양자화기(84)에 의해서 4차 연산수단(83)의 출력값이 8레벨로 양자화된다. 양자화된 값은 상기 디바이더(13)로 출력되어 N-3에서 N+4까지의 8개의 값중 한 값을 선택하는 선택신호로 출력된다. 만일 양자화기(84)가 2비트 혹은 4비트라면, 디바이더(13)는 4 또는 16개값, 즉 2ⁿ개중 하나를 선택하게 된다.

<33> 또한 양자화된 값은 제어신호 생성기(85)로 입력되고, 상기 제어신호 생성기(85)는 각 연산수단에 제공할 제어신호를 각각 생성하여 각 연산수단의 피드백 계수 곱셈기(801)로 공급한다.

<34> 이러한 3비트 시그마-델타 변조기는 상기 종래기술에서 지적된 문제점을 해결하는 특성을 얻게된다. 즉, 출력레벨이 8개로 증가해서 도 9와 같이 $N-3 \sim N+4$ 로 매핑하게 되므로 입력을 전체 입력범위중 1/8만 사용해도 N , $N+1$ 매핑이 가능하다. 또한, 양자화 잡음 자체가 줄어들기 때문에 코너 주파수를 더욱 높힐 수 있다. 3비트 양자화는 1비트 양자화에 비해 양자화 잡음이 1/8로 줄어들게 된다. 도 10a는 본 발명의 4차-3비트 변조기의 양자화 잡음 전달곡선을 나타낸 것이다. 도 5a의 1비트 변조기의 경우에 비해 코너 주파수가 두 배 이상 증가한 것으로 볼 수 있다. 도 10b는 본 발명의 4차-3비트 변조기에서 PLL의 출력 위상 잡음을 도시한 것이다. 도 5b의 경우에 비해 사선(60) 밖에 위치했던 부분이 없어져서 대역외 위상 잡음(out-of-band phase noise)이 개선된 것을 알 수 있다.

<35> 또한 본 발명의 4차-3비트 변조기는 우수한 idle-tone 특성을 보이는데, 도 11에 이러한 특성이 도시되어 있다. 도 11은 4차-3비트 변조기의 자기상관 특성을 도시한 것으로, 2000개 출력 샘플을 자기상관을 결과이다. 도 6의 경우에 비해 출력 결과의 범위가 1/10정도가 감소하였음을 알 수 있다.

<36> 한편, 도 8a에 도시된 변조기를 하드웨어로 구현하는데 가장 큰 부담이 되는 것이 각 단의 피드백 계수 곱셈기(801)와 동적 스케일링 계수 곱셈기(804)들이다. 일반적으로 스케일링 계수들은 2의 자승형태로 구현가능하기 때문에 간단한 쉬프트(shift) 연산으로 곱셈기를 구현할 수 있다. 그러나 피드백 계수들은 심각한 하드웨어의 증가를 가져올 수 있다. 따라서 곱셈기를 사용하지않고 피드백 계수들을 직접 하드웨어로 구현하는 방식을 고려한다면, 룬 형태로 미리 계수값들을 저장한 다음 필요할 때마다 해당 계수값을 독출하여 해당 연산수단의 가산기(802)로 출력하는 방식을 생각해볼 수 있다. 그러나 3비트

출력인 경우 8개의 계수중 하나를 선택해야하기 때문에 큰 부담이 된다. 더구나 피드백 되는 값이 각 연산수단으로 입력되므로 본 발명의 경우 4개의 경로가 만들어진다. 결국, 32개의 계수값을 저장해야하는 룬이 필요하고, 하나의 계수에 20비트의 레지스터를 사용하는 경우를 고려한다고해도 전체 640비트가 필요하게된다. 따라서, 하드웨어로 구성하는 부담을 줄이기위해서 메탈 연결만으로 곱셈기를 구현하는 방식을 고려하였다.

<37> 다음 표는 곱셈기를 메탈 연결만으로 구현하기위해 3비트 양자화기(84)의 출력을 등간격의 정규화된 피드백 계수로 표현한 예를 보여준다.

<38> 【표 1】

계수 1	0.875
계수 2	0.625
계수 3	0.375
계수 4	0.125
계수 5	-0.125
계수 6	-0.375
계수 7	-0.625
계수 8	-0.875

<39> 다음 표는 상기한 바와 같은 패턴으로 각 연산수단에 제공되는 실제 피드백 계수를 20비트로 표현한 예를 보인 것이다.

<40>

【표 2】

비트 그룹	20		19	18	17	16	15								5	4	3	2	1
계수 1	0		0	1	0	1	0			0	1	0	0	0
계수 2	0		0	0	1	1	1			0	1	0	0	0
계수 3	0		0	0	1	0	0			1	1	0	0	0
계수 4	0		0	0	0	0	1			1	1	0	0	0
계수 5	1		1	1	1	1	0			0	1	0	0	0
계수 6	1		1	1	0	1	1			0	1	0	0	0
계수 7	1		1	1	0	0	0			1	1	0	0	0
계수 8	1		1	0	1	0	1			1	1	0	0	0

<41> 상기 표에서 한 계수값이 20비트로 이루어져있기 때문에 한 계수값이 가질 수 있는 가능한 조합의 수는 2^{20} 이 된다. 그러나 8개의 계수를 동시에 표시하는 각 비트그룹은 8비트로 표시되므로 2^8 의 가능한 조합이 있다. 본 발명에서는 각 연산수단에서 구현해야 하는 8개의 피드백 계수들을 상기 비트 그룹의 조합으로 동시에 표시하는 방식을 채택하고, 이에 따라 하드웨어를 최소화하기위해서 비트그룹의 조합가능한 신호의 수를 최소한으로 줄이도록한다.

<42> 상기 표를 살펴보면, 계수들의 각 비트그룹은 설정된 계수들의 비트 패턴에 따라 계수 1에서 계수 8까지 동일한 비트값을 갖고 있는 제1 내지 제4그룹과, 계수 5에서 계수 8까지의 비트값이 계수 4에서 계수 1까지의 비트값과 반전되는 제5 내지 제20그룹으로 나누어진다. 이와같이 반전되는 그룹이 생기는 것은 상기 3비트 양자화기(84)에서 출력되는 값을 대칭성을 갖는 그레이 코드(Gray code) 형태의 신호로 변환해서 피드백 계

수들을 표시했기 때문이다. 여기서, 발생가능한 비트그룹의 신호 수는 대칭 특성에 따라 2^4 이 된다.

<43> 이와 같은 특성을 하드웨어로 구현한다면, 동일한 비트값을 갖는 그룹은 0 또는 1의 해당 값을 고정하여 연결하고, 나머지 반전그룹은 3비트 양자화기(84)의 출력으로부터 상기 표 2의 각 그룹에 대한 반전특성이 나타나도록 제어신호를 생성하여 해당 가산기(802)에 직접 연결하는 형태가 된다.

<44> 상기 반전그룹을 살펴보면, 발생가능한 제어신호는 총 16개이지만 그 중 8개 신호는 나머지 8개 신호의 반전된 형태이므로, 제어신호 생성기(85)는 3비트 양자화기(84)에서 출력되는 값을 그레이 코드 데이터로 변환한 후 8개의 제어신호를 만든다면 하드웨어의 증가가 거의 없이 8개의 제어신호에 따른 메탈 연결만으로 피드백 계수 곱셈기를 구현할 수 있다. 본 실시예에서는 3비트 양자화기를 사용하였으므로 제어신호가 8개가 필요하지만, 2비트 양자화기의 경우에는 2개, 4비트 양자화기일 경우에는 128개의 제어신호가 필요하게 된다.

<45> 도 8b는 위의 제어신호 생성기(85)에 대한 상세 블록도이다. 도시된 바에 따르면, 제어신호 생성기(85)는 그레이 코더(850), 복수의 제어신호 발생 유닛(851) 그리고 복수의 반전수단(852)을 구비한다.

<46> 그레이 코더(850)는 3비트 양자화기(84)에서 출력을 그레이 코드 데이터로 변환하고, 제어신호 발생 유닛(851)은, 예를 들어, AND 게이트와 같은 각종 논리연산 수단으로 구성되어 상기 그레이 코드가 입력되면, 그에 따라 상기 표 2에 나타난 바와 같은 결과의 일부를 출력하고, 반전수단(852)을 통해 나머지 반전된 결과를 출력한다. 이와 같이 제어신호 생성기(85)는 3비트 양자화기(84)의 3비트 출력으로부터 8개의 제어신호를 만

들 수 있고, 상기 표 2에 따라 8개의 제어신호의 조합과 이들 조합에 대한 각 반전신호의 조합으로 상기 곱셈기를 메탈 연결만으로 구현할 수 있다.

【발명의 효과】

- <47> 본 발명에 따르면, 1비트 변조기를 멀티비트 변조기로 구성함으로써 1비트 변조기에 비해 사용가능한 입력 범위가 줄어들고 출력레벨이 증가하게되어 전체 입력범위중 1/8을 사용해도 N, N+1 매핑이 가능하다. 또한 멀티비트 변조기는 양자화 잡음이 줄어들게 되므로 코너 주파수를 더 높힐 수 있다.
- <48> 또한 피드백 계수에 대한 곱셈기를 메탈 연결만으로 구현함으로써 하드웨어 증가를 최소화할 수 있다.

【특허청구범위】

【청구항 1】

기준신호와 피드백되는 신호의 위상 차를 감지하는 위상 감지기;

상기 위상 감지기에서 감지된 위상 차 신호를 입력으로하여 원하는 주파수의 신호를 발진하는 전압 제어 발진기;

셋 이상의 정수값중 하나를 소정 선택신호에 따라 선택하고, 선택된 정수값을 이용하여 상기 전압 제어 발진기에서 출력되는 신호의 주파수를 분주하여 상기 위상 감지기에 상기 피드백 신호로 출력하는 디바이더; 및

소정 입력값을 내부에서 피드백되는 값과 더하고, 더해진 값을 누적하는 과정을 연속적으로 수행하며, 최종 누적된 값을 셋 이상의 복수 레벨로 양자화하여 상기 선택신호로 변환하는 시그마-델타 변조기를 포함함을 특징으로하는 프랙셔널-N 주파수 합성기.

【청구항 2】

제1항에 있어서, 상기 시그마-델타 변조기는

상기 입력값을 내부에서 피드백되는 값과 더하고, 더해진 값을 누적하는 과정을 복수 횟수동안 연속적으로 수행하는 복수의 연산수단;

상기 연산수단의 최종 단에서 출력된 값을 멀티비트로 양자화하고, 양자화된 값을 상기 디바이더에 상기 선택신호로 출력하는 양자화기; 및

상기 양자화기에서 양자화된 복수의 레벨에 대응하여 결정된 각 피드백 계수를 상기 피드백 값으로 상기 각 연산수단에 출력하는 복수의 곱셈기를 구비함을 특징으로하는 프랙셔널-N 주파수 합성기.

【청구항 3】

제2항에 있어서, 상기 피드백 계수는

상기 양자화기에서 출력되는 복수 레벨에서 중간 레벨을 중심으로 등간격으로 대칭되는 값을 갖는 것을 특징으로하는 프랙셔널-N 주파수 합성기.

【청구항 4】

제3항에 있어서, 상기 피드백 계수는

하드웨어로 구성하는데 적합하도록 이진값을 갖는 비트스트림으로 변환되는 것을 특징으로하는 프랙셔널-N 주파수 합성기.

【청구항 5】

제4항에 있어서, 상기 곱셈기는

상기 양자화기에서 출력되는 복수의 비트값을 입력으로하고, 상기 비트스트림의 대칭 특성에 따라 결정되는 최소 개수의 제어신호를 출력하는 제어신호 생성기를 더 구비함을 특징으로하는 프랙셔널-N 주파수 합성기.

【청구항 6】

제5항에 있어서, 상기 제어신호 생성기는

입력되는 복수의 비트값을 그레이 코드로 변환하는 그레이 코더;

상기 그레이 코드를 입력으로하여 상기 제어신호들을 출력하는 복수의 제어신호 발생 유닛; 및

상기 제어신호 발생 유닛들의 출력을 각각 반전하는 복수의 반전수단을 구비함을 특징으로하는 프랙셔널-N 주파수 합성기.

【청구항 7】

제5항 또는 제6항에 있어서, 상기 곱셈기는

상기 제어신호 생성기에서 출력되는 제어신호로부터 상기 비트스트림을 해당 연산 수단으로 직접 출력하도록 메탈로 연결되는 것을 특징으로하는 프랙셔널-N 주파수 합성기.

【청구항 8】

입력값을 내부에서 피드백되는 값과 더하고, 더해진 값을 누적하는 과정을 4차까지 연쇄적으로 수행하는 복수의 연산수단;

상기 연산수단의 최종 단에서 출력된 값을 멀티비트로 양자화하는 양자화기; 및

상기 양자화기에서 양자화된 복수의 레벨에 대응하여 결정된 각 피드백 계수를 상기 피드백 값으로 상기 각 연산수단에 출력하는 복수의 곱셈기를 구비함을 특징으로하는 시그마-델타 변조기.

【청구항 9】

제8항에 있어서, 상기 피드백 계수는

상기 양자화기에서 출력되는 복수 레벨에서 중간 레벨을 중심으로 등간격으로 대칭되는 값을 갖는 것을 특징으로하는 시그마-델타 변조기.

【청구항 10】

제9항에 있어서, 상기 피드백 계수는

하드웨어로 구성하는데 적합하도록 이진값을 갖는 비트스트림으로 변환되는 것을 특징으로하는 시그마-델타 변조기.

【청구항 11】

제10항에 있어서, 상기 곱셈기는

상기 양자화기에서 출력되는 복수의 비트값을 입력으로하고, 상기 비트스트림의 대칭 특성에 따라 결정되는 최소 개수의 제어신호를 출력하는 제어신호 생성기를 더 구비함을 특징으로하는 시그마-델타 변조기.

【청구항 12】

제11항에 있어서, 상기 제어신호 생성기는

입력되는 복수의 비트값을 그레이 코드로 변환하는 그레이 코더;

상기 그레이 코드를 입력으로하여 상기 제어신호들을 출력하는 복수의 제어신호 발생 유닛; 및

상기 제어신호 발생 유닛들의 출력을 각각 반전하는 복수의 반전수단을 구비함을 특징으로하는 시그마-델타 변조기.

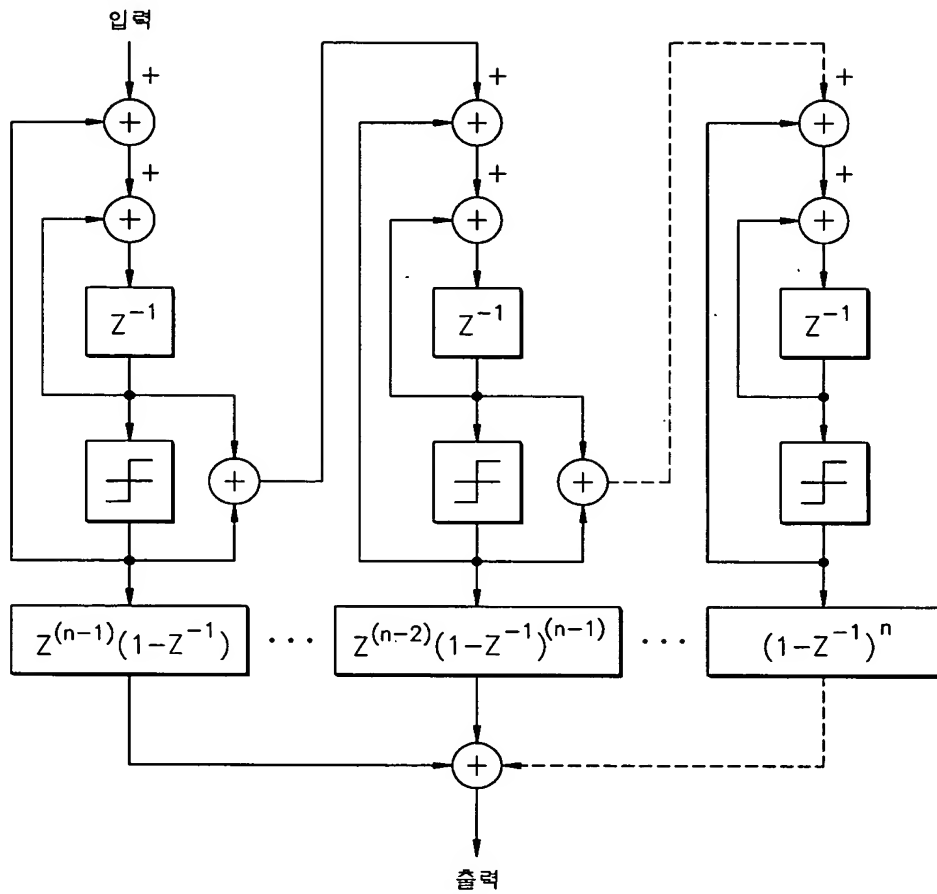
【청구항 13】

제11항 또는 제12항에 있어서, 상기 곱셈기는

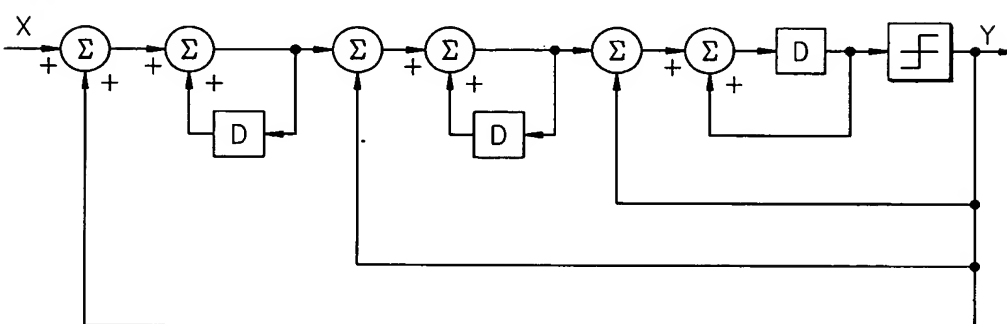
상기 제어신호 생성기에서 출력되는 제어신호로부터 상기 비트스트림을 해당 연산 수단으로 직접 출력하도록 메탈로 연결되는 것을 특징으로하는 시그마-델타 변조기.

【도면】

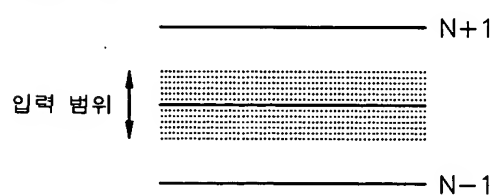
【도 1】



【도 2】



【도 3】

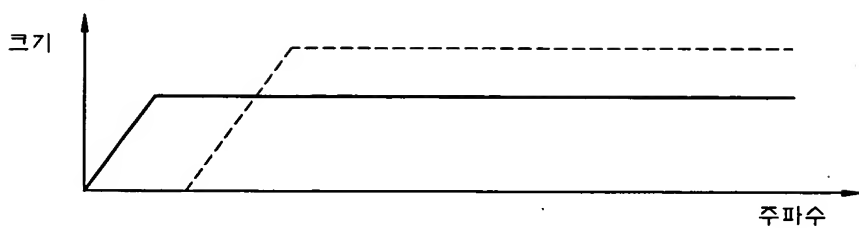




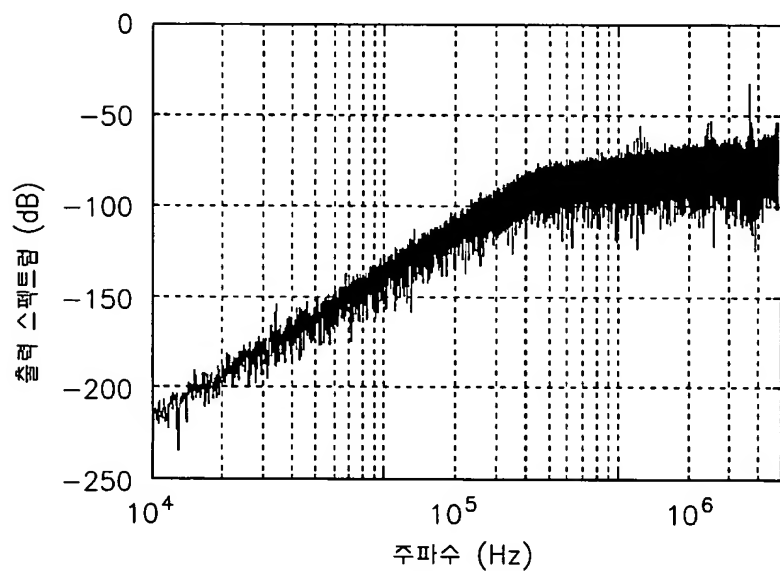
1020020073050

출력 일자: 2003/4/8

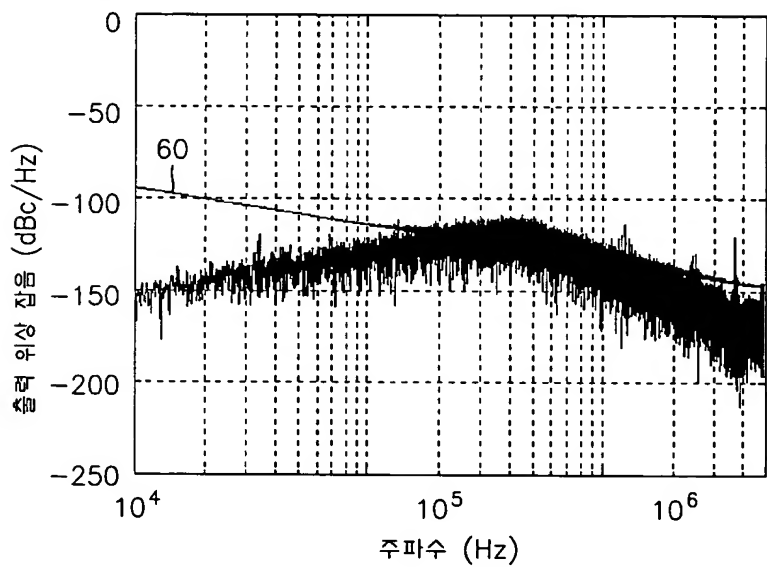
【도 4】



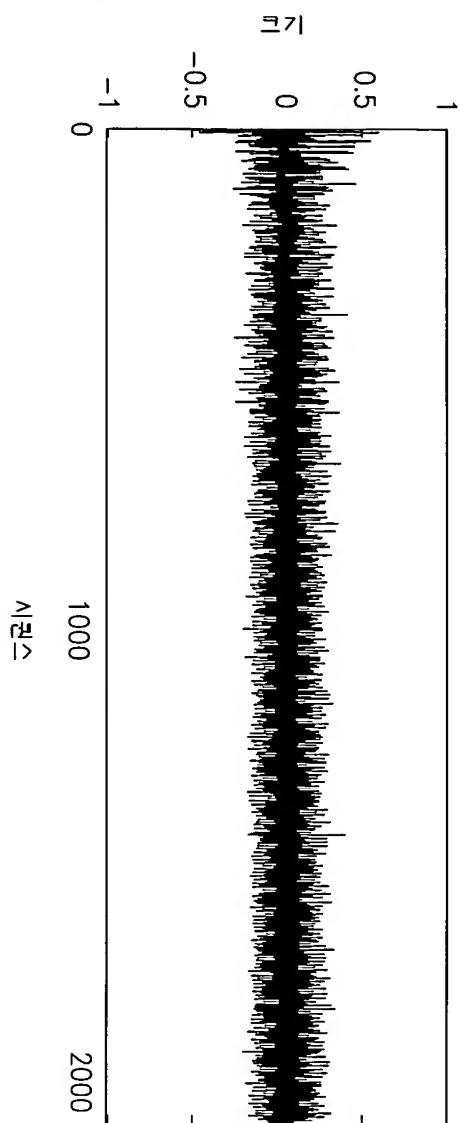
【도 5a】



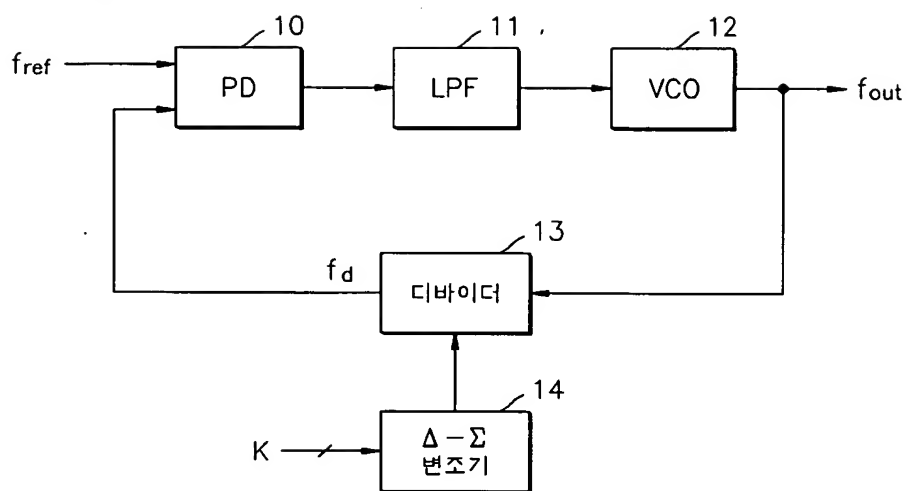
【도 5b】



【도 6】

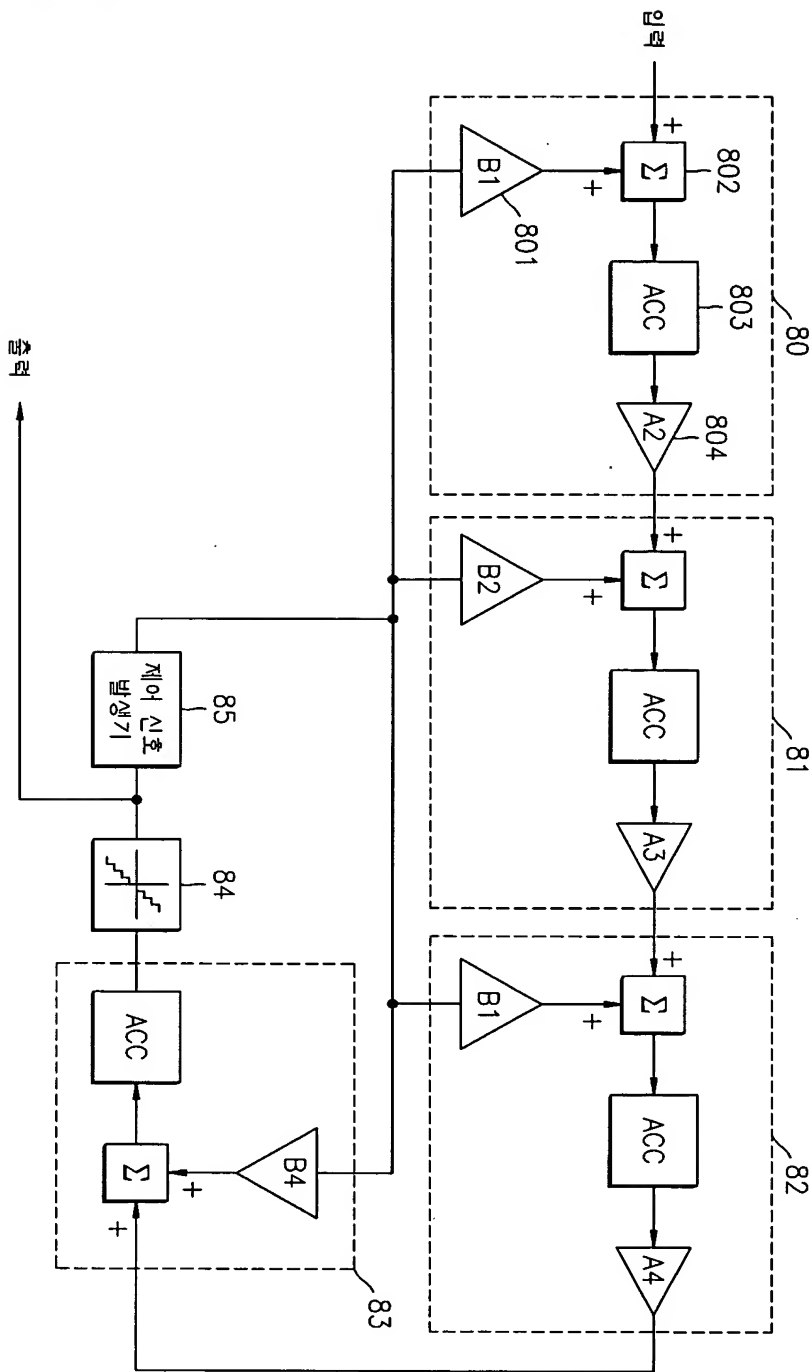


【도 7】

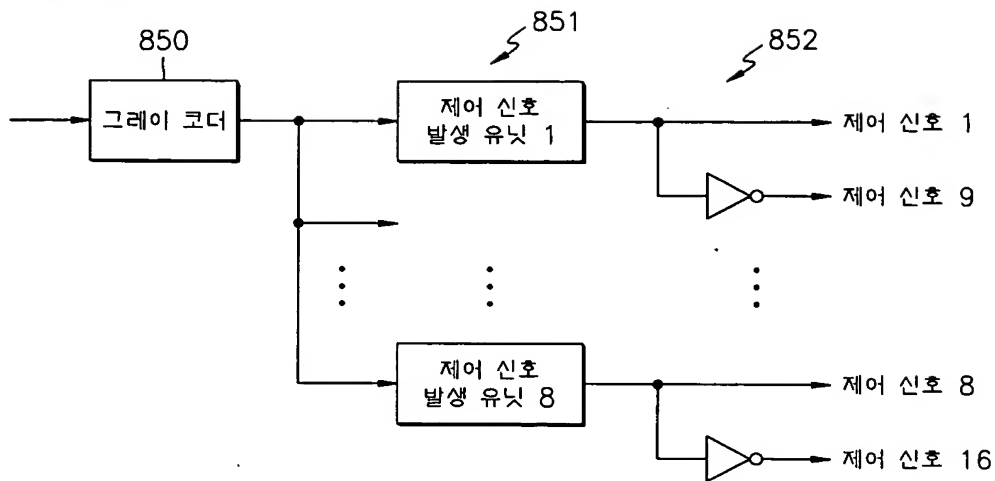




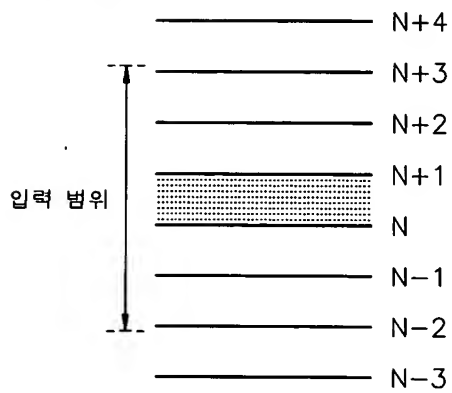
【도 8a】



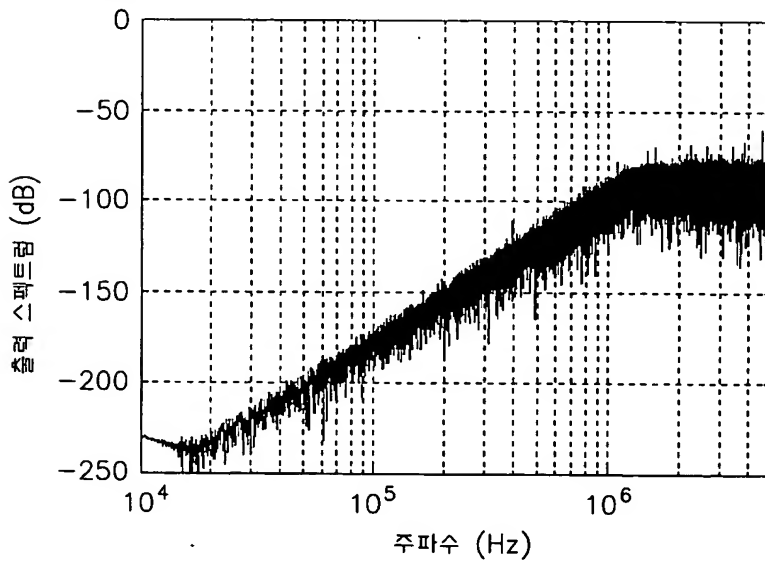
【도 8b】



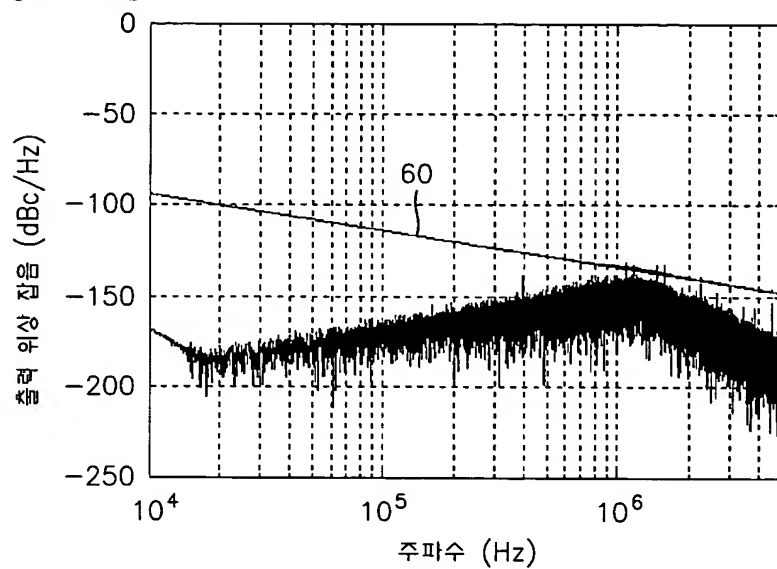
【도 9】



【도 10a】



【도 10b】



【도 11】

